

日本国特許庁
JAPAN PATENT OFFICE

21.08.03

REC'D 10 OCT 2003

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年 8月22日

出願番号
Application Number: 特願2002-242105
[ST. 10/C]: [JP2002-242105]

出願人
Applicant(s): 株式会社豊田自動織機
新潟精密株式会社

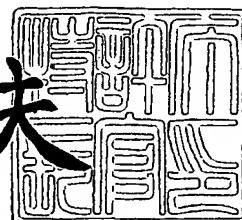
BEST AVAILABLE COPY

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 9月25日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 2002TJ014

【提出日】 平成14年 8月22日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 1/00

【発明者】

 【住所又は居所】 愛知県刈谷市豊田町2丁目1番地 株式会社豊田自動織機内

 【氏名】 古池 剛

【発明者】

 【住所又は居所】 新潟県上越市西城町2丁目5番13号 新潟精密株式会社内

 【氏名】 宮城 弘

【特許出願人】

 【識別番号】 000003218

 【氏名又は名称】 株式会社豊田自動織機

【特許出願人】

 【識別番号】 591220850

 【氏名又は名称】 新潟精密株式会社

【代理人】

 【識別番号】 100074099

 【弁理士】

 【氏名又は名称】 大菅 義之

 【電話番号】 03-3238-0031

【手数料の表示】

 【予納台帳番号】 012542

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9005945

【包括委任状番号】 0118621

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ステレオ復調回路

【特許請求の範囲】

【請求項 1】 受信電界強度が所定範囲内にある時に該受信電界強度に応じたノイズ制御を行うノイズ制御手段を少なくとも1つ備えるステレオ復調回路において、

前記受信電界強度を示す信号である受信電界強度信号を A/D 変換する A/D 変換手段と、

該 A/D 変換手段で得られたデジタル信号を前記所定範囲に応じた所定値分だけデジタル的にオフセットし、かつ、前記ノイズ制御手段におけるノイズ制御の精度の粗さに応じて設定されるビット数だけ前記デジタル信号の下位ビットを切り捨てるオフセット手段と、

該オフセット手段で得られた信号に基づき、前記ノイズ制御手段におけるノイズ制御の制御量を決定する制御信号を出力する制御信号出力手段と、

を備えることを特徴とするステレオ復調回路。

【請求項 2】 前記ノイズ制御手段は、前記制御信号出力手段から出力される制御信号に応じたノイズ制御量に段階的に切り替えられることを特徴とする請求項 1 記載のステレオ復調回路。

【請求項 3】 受信電界強度が所定範囲内にある時に該受信電界強度に応じたノイズ制御を行うノイズ制御手段を少なくとも1つ備えるステレオ復調回路において、

前記受信電界強度を示す信号である受信電界強度信号を、前記所定範囲に応じた所定値分だけオフセットするオフセット手段と、

該オフセット手段で得られた信号をゼロバイアスと比較し、その差分を出力する差分出力手段と、

該差分出力手段で得られた信号に基づき、前記ノイズ制御手段におけるノイズ制御の制御量を決定する制御信号を出力する制御信号出力手段と、

を備えることを特徴とするステレオ復調回路。

【請求項 4】 前記ノイズ制御手段を複数備え、該複数のノイズ制御手段にお

ける前記所定範囲がそれぞれ別々に設定されていることを特徴とする請求項1乃至3のいずれか1項に記載のステレオ復調回路。

【請求項5】 入力信号レベルが所定範囲内にある時に該入力信号レベルに応じた所定の制御を行う回路部分を少なくとも1つ備える信号処理回路において、
前記入力信号レベルを示す信号であるレベル信号をAD変換するAD変換手段と、

該AD変換手段で得られたデジタル信号を前記所定範囲に応じた所定値分だけデジタル的にオフセットし、かつ、前記回路部分における前記所定制御の精度の粗さに応じて設定されるビット数だけ前記デジタル信号の下位ビットを切り捨てるオフセット手段と、

該オフセット手段で得られた信号に基づき、前記回路部分における前記所定制御の制御量を決定する制御信号を出力する制御信号出力手段と、

を備えることを特徴とする信号処理回路。

【請求項6】 入力信号レベルが所定範囲内にある時に該入力信号レベルに応じた所定の制御を行う回路部分を少なくとも1つ備える信号処理回路において、

前記入力信号レベルを示す信号であるレベル信号を、前記所定範囲に応じた所定値分だけオフセットするオフセット手段と、

該オフセット手段で得られた信号をゼロバイアスと比較し、その差分を出力する差分出力手段と、

該差分出力手段で得られた信号に基づき、前記回路部分における前記所定制御の制御量を決定する制御信号を出力する制御信号出力手段と、

を備えることを特徴とする信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ステレオ受信機等に用いられるステレオ復調回路に係り、特にはその中に組み込まれるノイズ制御のための各種回路における制御技術の改良に関する。更には、そのようなステレオ復調回路をも含む信号処理回路の全般に関する。

【0002】

【従来の技術】

ステレオ復調回路は、一般に、受信したRF信号に基づいてL信号及びR信号を発生させる回路である。

この種のステレオ復調回路においては、受信したRF信号を周波数変換回路で周波数変換してIF信号が得られ、そのIF信号がリミッタアンプで増幅され、更にFM検波回路で検波されて、コンポジット信号が再生される。

【0003】

再生されたコンポジット信号は、一般に主成分 $L+R$ と副成分 $L-R$ を含んでおり、このコンポジット信号は2つの経路に分岐される。すなわち、コンポジット信号は、一方の経路においては $L+R$ 成分が得られ、他方の経路においては、例えば38KHzの信号とミキシングされて $L-R$ 成分が得られる。こうして得られた $L+R$ 、 $L-R$ の各成分を加算／減算器により加算してL成分が得られ、また、加算／減算器により減算してR成分が得られる。

【0004】

更に、上記したステレオ復調回路に生じるノイズを低減して音質を向上させるために、信号を減衰させたり、信号の高域成分をカットしたりするノイズ制御手段を備えたものがある。

例えば、上記の $L+R$ 成分と、この $L+R$ 成分から高域成分をカットした信号とを、RSSI（受信電界強度）を示す信号であるRSSI信号に応じた比率でミキシングするように構成したハイカットコントロール（HCC）回路を設けることで、RSSI信号に応じたハイカットコントロールが行われている。また、上記ステレオ復調されたL成分、R成分に含まれる高域ノイズに対し、ディエンファシス回路内において、それら高域ノイズをカットするハイカットコントロールも行われている。

【0005】

また、RSSIが小さい場合、混入するノイズの影響が無視できなくなるので、ソフトミューティング（SMUTE）回路において、上記コンポジット信号をソフトミューティング処理により減衰させることも知られている。

更に、クロストークを抑えるため、主成分 $L+R$ と加算／減算器でブレンドする副成分 $L-R$ の割り合いを調整することも行われている。すなわち、ステレオノイズコントロール（SNC）回路において、その副成分 $L-R$ をステレオノイズコントロールにより減衰させるようにしている。

【0006】

上記したHCC、SMUTE、SNCの各処理を行うにあたって、上記のRSSIと、上記HCC、SMUTE、SNCの各ノイズ制御を行う回路における制御量を決定するための制御信号との関係は、例えば図5に示すように定められている。

【0007】

この図5において、例えばHCC処理では、RSSIが $I_2 \sim I_3$ の範囲内にある場合にその時のRSSIに応じた制御信号 $C_2 \sim C_3$ に従って制御される。なお、RSSIが上記範囲の下限值 I_2 以下の場合は制御信号が C_2 に保持され、この保持された制御信号 C_2 に従った制御が行われる。一方、RSSIが上記範囲の上限値である I_3 以上の場合は制御信号が C_3 に保持され、この保持された制御信号 C_3 に従った制御が行われる。

【0008】

これと同様に、SMUTE処理では、RSSIが $I_0 \sim I_1$ の範囲内にある場合にその時のRSSIに応じた制御信号 $C_0 \sim C_1$ に従って制御され、SNC処理では、RSSIが $I_4 \sim I_5$ の範囲内にある場合にその時のRSSIに応じた制御信号 $C_4 \sim C_5$ に従って制御される。RSSIが各範囲の外にある時にも、HCC処理と同様に、保持された制御信号に従った制御が行われる。

【0009】

【発明が解決しようとする課題】

上記のステレオ復調回路において、HCC、SNC、SMUTE等の各処理はアナログ制御であるため、その制御動作がどうしても不安定であり、精度の高いノイズ制御が困難であるという問題があった。

【0010】

また、HCC、SNC、SMUTE等の各回路におけるノイズ制御量を決定す

る制御信号を生成する上で基準となる基準電圧（バイアス電圧）が、周囲温度の変化や、プロセスのばらつき等に起因して変動するため、所望のバイアス電圧に常に維持することが困難であった。従来は、例えば図6に示すように、点aに基準電圧としてゼロ（0）でない所定値のバイアス（非ゼロバイアス）が印加されており、上記RSSIに相当する入力Vinの値が上記基準電圧（所定値）を上回った場合に、その差分を増幅し、上記各ノイズ制御回路への制御信号として出力している。

【0011】

このような構成においては、上記所定値のバイアスが温度変化やプロセスばらつき等に起因して変動し、その結果、正確なノイズ制御が行えなくなるといった問題があった。すなわち、本来の動作範囲から外れたRSSIに対して上記HCC、SNC、SMUTEによるノイズ制御が行なわれてしまい、音質が劣化する一因となっていた。

【0012】

そこで、本発明の第1の課題は、受信電界強度が所定範囲内にある時にこの所定範囲内の受信電界強度に応じたノイズ制御を行うノイズ制御手段を少なくとも1つ備えるステレオ復調回路において、上記ノイズ制御手段によるノイズ制御の安定化を図り、かつ、その制御量を決定するための制御信号を出力する制御信号出力回路をより簡素な構成で実現することである。

【0013】

本発明の第2の課題は、上記ノイズ制御手段を、温度変化やプロセスばらつき等の影響を受けずに正確に動作させるようにすることである。

【0014】

【課題を解決するための手段】

本発明は、上記課題を解決するために、以下のように構成する。

まず、本発明の第1の態様に係るステレオ復調回路は、受信電界強度が所定範囲内にある時にこの受信電界強度に応じたノイズ制御を行うノイズ制御手段を少なくとも1つ備えるステレオ復調回路において、上記受信電界強度を示す信号である受信電界強度信号をAD変換するAD変換手段と、このAD変換手段で得ら

れたデジタル信号を上記所定範囲に応じた所定値分（例えば、上記所定範囲の下限值に相当する分）だけデジタル的にオフセットし、かつ、上記ノイズ制御手段におけるノイズ制御の精度の粗さに応じて設定されるビット数だけ上記デジタル信号の下位ビットを切り捨てるオフセット手段と、このオフセット手段で得られた信号に基づき、上記ノイズ制御手段におけるノイズ制御の制御量を決定する制御信号を出力する制御信号出力手段と、を備えることを特徴とする。

【0015】

このような構成によれば、上記ノイズ制御手段における制御量を決定するための制御信号がデジタル処理により生成されるので、従来のようにアナログ処理によって制御信号を生成するものと比べ、ノイズ制御動作の著しい安定化が図れる。

【0016】

また、上記オフセット手段においては、AD変換によって得られたデジタル信号をデジタル的にオフセットするだけでなく、そのデジタル信号から、ノイズ制御手段におけるノイズ制御の精度の粗さに応じたビット数だけ下位ビットを切り捨て、その残りのビットに基づいて制御信号出力手段で制御信号を生成するようにしてある。そのため、制御信号出力手段では、単にAD変換して得られた信号のビット数をそのまま使用して制御信号を生成する場合と比較し、ノイズ制御の精度の粗さに応じた、より少ないビット数を処理するだけで済むため、無駄のない信号処理が可能になる。その結果、制御信号出力手段を構成する回路を一段と簡素化することも可能になる。ここで、上記オフセットと上記下位ビットの切り捨ては、どちらを先に実行する構成であってもよい。

【0017】

なお、上記ノイズ制御手段は、上記制御信号出力手段から出力される制御信号に応じたノイズ制御量に段階的に切り替えられる構成とすることも可能である。その一例としては、上記制御信号に応じて複数のスイッチを切り換えることで、ノイズ制御の制御量を段階的に増減させる構成等があげられる。

【0018】

また、上記AD変換手段は、実際には通常のAD変換回路によって実現可能で

あるが、このAD変換回路で得られた信号を一時的に保持するラッチ回路を備えた構成も、本発明の範囲内である。

次に、本発明の第2の態様に係るステレオ復調回路は、受信電界強度が所定範囲内にある時にこの受信電界強度に応じたノイズ制御を行うノイズ制御手段を少なくとも1つ備えるステレオ復調回路において、上記受信電界強度を示す信号である受信電界強度信号を、上記所定範囲に応じた所定値分（例えば、上記所定範囲の下限值に相当する分）だけオフセットするオフセット手段と、このオフセット手段で得られた信号をゼロバイアスと比較し、その差分を出力する差分出力手段と、この差分出力手段で得られた信号に基づき、上記ノイズ制御手段におけるノイズ制御の制御量を決定する制御信号を出力する制御信号出力手段と、を備えることを特徴とする。

【0019】

このような構成によれば、予めオフセット手段により受信電界強度信号をオフセットしておき、その後に差分出力手段でゼロバイアスと比較して、その差分を出力するようにしている。このような構成とすることで、差分出力手段における比較の基準値をゼロバイアスとすることができるので、前述した温度変化、プロセスばらつき等の影響を受けることなく、上記ノイズ制御手段におけるノイズ制御を正確に行うことが可能となる。

【0020】

なお、本発明は、ノイズ制御手段を複数備えたものであってもよく、そのような場合、それら複数のノイズ制御手段における受信電界強度の上記範囲が互いに別々に設定されているものにも適用可能である。上記ノイズ制御手段としては、例えば、ディエンファシス回路、ソストミューティング回路、ステレオノイズコントロール回路等がある。

【0021】

以上に述べた本発明の基本思想は、単にステレオ復調回路に適用可能なだけでなく、何らかの信号処理を行う信号処理回路の全般に応用可能である。

すなわち、本発明の第1の態様に係る信号処理回路は、入力信号レベルが所定範囲内にある時にこの入力信号レベルに応じた所定の制御を行う回路部分を少な

くとも1つ備える信号処理回路において、上記入力信号レベルを示す信号であるレベル信号をAD変換するAD変換手段と、このAD変換手段で得られたデジタル信号を上記所定範囲に応じた所定値分だけデジタル的にオフセットし、かつ、上記回路部分における上記所定制御の精度の粗さに応じて設定されるビット数だけ上記デジタル信号の下位ビットを切り捨てるオフセット手段と、このオフセット手段で得られた信号に基づき、上記回路部分における上記所定制御の制御量を決定する制御信号を出力する制御信号出力手段と、を備えることを特徴とする。

【0022】

このような構成からなる信号処理回路によれば、上述した第1の態様に係るステレオ復調回路の場合と同様、制御動作の著しい安定化が図れると共に、制御信号出力手段での無駄のない信号処理が可能になる。

また、本発明の第2の態様に係る信号処理回路は、入力信号レベルが所定範囲内にある時にこの入力信号レベルに応じた所定の制御を行う回路部分を少なくとも1つ備える信号処理回路において、上記入力信号レベルを示す信号であるレベル信号を、上記所定範囲に応じた所定値分だけオフセットするオフセット手段と、このオフセット手段で得られた信号をゼロバイアスと比較し、その差分を出力する差分出力手段と、この差分出力手段で得られた信号に基づき、上記回路部分における上記所定制御の制御量を決定する制御信号を出力する制御信号出力手段と、を備えることを特徴とする。

【0023】

このような構成からなる信号処理回路によれば、上述した第2の態様に係るステレオ復調回路の場合と同様、温度変化やプロセスばらつき等の影響を受けることなく、上記回路部分の制御を正確に行うことが可能となる。

【0024】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

図1は、本発明の一実施の形態に係るステレオ復調回路10の回路図である。

このステレオ復調回路10は、公知の構成として、主に、リミッタアンプ11

、FM検波回路12、ハイカットコントロール（HCC）回路13、ディエンファシス回路14、ソフトミューティング（SMUTE）回路15、ステレオノイズコントロール（SNC）回路16等を備えると共に、本実施の形態において新たに加わる構成として、AD変換器17、ラッチ回路18、及び制御信号生成回路20を備えている。ここで、上記のディエンファシス回路14、SMUTE回路15、SNC回路16は、RSSI（受信電界強度）に応じたノイズ制御を行うノイズ制御手段でもあり、これらノイズ制御手段における制御量を決定するための各制御信号が制御信号生成回路20から出力される。なお、AD変換器17は、請求項に記載のAD変換手段に対応する。

【0025】

このような構成において、入力信号（中間周波信号）Sig1はリミッタアンプ11を介してFM検波回路12に inputs され、ステレオコンボジット信号が生成される。一方、リミッタアンプ11から出力されたRSSI信号Sig2が、AD変換手段としてのAD変換器17に inputs されることで、アナログのRSSI信号Sig2がデジタル信号Sig3へと変換される。このAD変換によって得られた信号Sig3は、ラッチ回路18に一時的に保持され、その保持された信号Sig3が制御信号生成回路20に inputs される。

【0026】

制御信号生成回路20では、inputs された信号Sig3のレベル（これはRSSIに相当する）に基づき、SMUTE回路15で行われるソフトミューティング（SMUTE）処理、SNC回路16で行われるステレオノイズコントロール（SNC）処理、ディエンファシス回路14で行なわれるハイカットコントロール（HCC）処理をそれぞれ制御する制御信号を生成する。

【0027】

図2は、制御信号生成回路20の回路構成図である。

この制御信号生成回路20は、SMUTE、HCC、SNCの各処理用に3つのオフセット回路21、22、23と3つのセクタ24、25、26とを備えて構成されている。ここで、オフセット回路21、22、23は請求項に記載のオフセット手段に対応し、セクタ24、25、26は請求項に記載の制御信号

出力手段に対応する。

【0028】

ここで、SMUTE回路15は、RSSIが所定の範囲（図5中の $I_0 \sim I_1$ ）内にある時にはそのRSSIに応じたSMUTE処理を行い、RSSIが上記範囲よりも小さい時には上記範囲の下限值（図5中の I_0 ）に対応したSMUTE処理を行い、RSSIが上記範囲よりも大きい時には上記範囲の上限値（図5中の I_1 ）に対応したSMUTE処理を行う回路である。そこで、このようなSMUTE回路用のオフセット回路21では、SMUTE回路15で考慮されている上記RSSIの範囲の下限值（図5中の I_0 ）に相当するデジタル値がオフセット値 F_1 として設定されており、RSSIに相当するデジタル信号 $Sig3$ を上記オフセット値 F_1 だけデジタル的にオフセットする。更に、このオフセットによって得られた信号から、SMUTE回路15に要求される制御精度の粗さに応じて設定されるビット数だけ下位ビットを切り捨てる処理を行う。

【0029】

例えば、もともとの信号 $Sig3$ が5ビットで構成されており、また、SMUTE回路15では相当に粗い制御精度で十分であるものとする。このような場合、まず、SMUTE処理で考慮されるRSSIの範囲の下限值である I_0 に相当するオフセット値 F_1 の分だけ信号 $Sig3$ をオフセットし、かつ、そのオフセットによって得られた信号から、例えば下位2ビット分を切り捨て、残りの3ビットだけを出力する。このように下位2ビット分切り捨てて得られた上位3ビットの信号は、実際のRSSIの値よりも相当に粗い値を示すことになる。

【0030】

図2に示したHCC用のオフセット回路22及びSNC用のオフセット回路23も、SMUTE用のオフセット回路21と同様である。すなわち、以下の通りである。

HCC用のオフセット回路22では、ディエンファシス回路14におけるHCC処理で考慮されているRSSIの範囲の下限值（図5中の I_2 ）に相当するデジタル値がオフセット値 F_2 として設定されており、RSSIに相当するデジタル信号 $Sig3$ を上記オフセット値 F_2 だけデジタル的にオフセットする

。更に、このオフセットによって得られた信号から、ディエンファシス回路14におけるHCC処理に要求される制御精度の粗さに応じたビット数だけ下位ビットを切り捨てる処理を行う。

【0031】

例えば、もともとの信号 $Sig3$ が5ビットで構成されており、また、ディエンファシス回路14では若干粗い制御精度で十分であるものとする。このような場合、まず、HCC処理で考慮されるRSSIの範囲の下限值である I_2 に相当するオフセット値 F_2 の分だけ信号 $Sig3$ をオフセットし、かつ、そのオフセットによって得られた信号から、例えば下位1ビット分を切り捨て、残りの4ビットだけを出力する。このように下位1ビット分切り捨てて得られた上位4ビットの信号は、実際のRSSIの値よりも若干粗い値を示すことになる。

【0032】

SNC用のオフセット回路23では、SNC回路16で考慮されているRSSIの範囲の下限值（図5中の I_4 ）に相当するデジタル値がオフセット値 F_3 として設定されており、RSSIに相当するデジタル信号 $Sig3$ を上記オフセット値 F_3 だけデジタル的にオフセットする。更に、このオフセットによって得られた信号から、SNC回路16に要求される制御精度の粗さに応じたビット数だけ下位ビットを切り捨てる処理を行う（勿論、制御精度を粗くしなくては、下位ビットを切り捨てる必要はない）。

【0033】

例えば、もともとの信号 $Sig3$ が5ビットで構成されており、また、SNC回路16では比較的細かい制御精度が必要であるものとする。このような場合、まず、SNC処理で考慮されるRSSIの範囲の下限值である I_4 に相当するオフセット値 F_3 の分だけ信号 $Sig3$ をオフセットし、かつ、そのオフセットによって得られた信号から下位ビットを切り捨てずに、もともとの5ビットをそのまま出力する。このように下位ビットを切り捨てずに得られた5ビットの信号は、実際のRSSIの値と同程度の粗さの値を示すことになる。

【0034】

このように、3つのオフセット回路21、22、23からは、SMUTE、H

CC、SNCのそれぞれに要求される各制御精度の粗さに応じたビット数の信号が出力され、このビット数が少ないほど粗い値となる。これらオフセット回路21、22、23は、具体的には加算器によって実現可能である。すなわち、各オフセット値 F_1 、 F_2 、 F_3 のマイナスデータに相当する値を保持しておき、この値を信号Sig3に加算することで、実質的に信号Sig3から各オフセット値を減算する処理を実行する。また、その演算によって得られたデータを出力する際は、その下位ビットが出力されないように構成しておくことで、ビットの切り捨てが可能となる。

【0035】

勿論、ビットの切り捨ては、その他様々な手法によって実現可能であり、その切り捨てるべきビット数も適宜設定可能である。また、信号Sig3に対して、予めビットの切り捨てを行っておき、その後にオフセットを行うようにしてもよい。

【0036】

次に、図2に示されているように、各オフセット回路21、22、23の後段にはそれぞれセクタ24、25、26が配置されている。これらセクタ24、25、26は、図1に示したSMUTE回路15、ディエンファシス回路14、SNC回路16における各ノイズ処理を、各オフセット回路21、22、23から出力された信号Sig4（すなわち、信号Sig3をオフセットし、かつ下位ビットを切り捨てて得られた信号）に応じて段階的に制御するための制御信号を出力するためのものである。

【0037】

例えば、図1のSNC回路16は、RSSIに応じたSNC処理を行うために、RSSIに応じて抵抗値を段階的に切り換え可能なように複数のスイッチ U_0 、 U_1 、 U_2 、 U_3 を備えており、例えば、L-R成分を減衰させる割合を小さくしたい場合はスイッチ U_0 を選択し、L-R成分の減衰率をもっと大きくしたい場合は、順次スイッチ U_1 、 U_2 、 U_3 をそれぞれ選択するようになっている。そこで、SNC用のセクタ26は、オフセット回路23から出力された信号Sig4に応じて、上記4つのスイッチ U_0 、 U_1 、 U_2 、 U_3 の中のいず

れを選択すべきかを指示する信号を制御信号としてSNC回路16へ出力する。
なお、RSSIが所定の範囲（図5中の $I_4 \sim I_5$ の範囲）よりも小さい場合は、信号Sig4が負の値を示すことになるが、そのような場合は下限値 I_4 に対応するスイッチ U_0 を選択する制御信号が出力され、一方、RSSIが所定の範囲（図5中の $I_4 \sim I_5$ の範囲）よりも大きい場合は、上限値 I_5 に対応するスイッチ U_3 を選択する制御信号が出力される。

【0038】

なお、以上では、SNC用のセクタ26についての説明を行ったが、HCC用のセクタ25や、SMUTE用のセクタ24においても同様にして、HCC処理やSMUTE処理のための制御信号が生成される。

例えば、ディエンファシス回路14（図1）におけるHCC処理の場合、オフセット回路22から出力される信号Sig4に従い、L成分とR成分の減衰率を小さく制御する場合はスイッチ S_0 が選択されるように、またL成分とR成分の減衰率を大きく制御する場合は、順次スイッチ S_1 、 S_2 、 S_3 がそれぞれ選択されるように、セクタ25から制御信号が出力される。なお、RSSIが所定の範囲（図5中の $I_2 \sim I_3$ の範囲）から外れている場合は、SNC用のセクタ26の場合と同様に、下限値 I_2 又は上限値 I_3 に対応するスイッチを選択する制御信号が出力される。

【0039】

また、SMUTE回路15（図1）で行われるSMUTE処理の場合、オフセット回路21から出力される信号Sig4に従い、コンポジット信号の減衰率を大きく制御する場合はスイッチ V_0 が選択されるように、また、減衰率を小さく制御する場合はスイッチ V_1 が選択されるように、セクタ24から制御信号が出力される。なお、RSSIが所定の範囲（図5中の $I_0 \sim I_1$ の範囲）から外れている場合は、SNC用のセクタ26の場合と同様に、下限値 I_0 又は上限値 I_1 に対応するスイッチを選択する制御信号が出力される。

【0040】

図3は、図1に示したディエンファシス回路14のスイッチ部分の具体的な回路構成の一例である。

図3において、スイッチ S_1 が選択される場合、制御信号生成回路20の出力信号としては、 S_0 = オフ、 S_1 = オン、 S_2 = オフ、 S_3 = オフの信号が出力される。他のスイッチが選択される場合も同様に、選択されるスイッチに入力される信号のみオンに設定され、その他のスイッチに入力される信号はオフに設定される。なお、図3は、図1のディエンファシス回路14のスイッチ部分に関するものだが、SMUTE回路15のスイッチ部分、SNC回路16のスイッチ部分も同様に構成可能である。

【0041】

以上に述べた実施の形態によれば、オフセット回路21、22、23において、各ノイズ制御の精度の粗さに応じたビット数だけ下位ビットを切り捨て、セクタ24、25、26ではその残りの上位ビットに基づいて制御信号を生成する構成としたことにより、セクタ24、25、26はより少ないビット数を処理するだけで済むようになり、よって、無駄のない信号処理を実現できる。その結果、セクタ24、25、26を一段と簡素な構成で実現することができる。

【0042】

なお、上記の実施の形態では、図2に示したように、制御信号生成回路20をオフセット回路とセクタとからなるハードウェアで実現しているが、これをソフトウェアによる演算処理で実現することも可能である。例えば、HCC用のオフセット回路22及びセクタ25の上記例をソフトウェアで実現するには、まず、HCCの制御精度の粗さに応じて、5ビットの信号 Sig_3 から下位1ビット分を切り捨てて上位4ビットの信号を生成し、この4ビットの信号からオフセット値 F_2 （例えば3ビットの値）を減算する。そして、その減算結果が、図5におけるHCCの範囲 $I_2 \sim I_3$ に相当する値（例えば、十進数で「0」～「7」の範囲の値）にある時は、その値に応じたスイッチ（図1に示したスイッチ $S_0 \sim S_3$ のいずれか1つ）をオンにする制御信号を出力し、また、上記演算結果が負の時は、演算結果が「0」の時と同一の制御信号を出力し、一方、上記演算結果が「8」以上の時は、演算結果が「7」の時と同一の制御信号を出力するようにする。これはほんの一例であるが、SMUTEやSNC用の制御信号も、それらに応じたほぼ同様な演算処理によって生成可能である。

【0043】

次に、本発明の他の実施の形態に係るステレオ復調回路について説明する。

この実施の形態は、RSSIが所定の範囲内にある時にRSSIに応じたノイズ制御を行うノイズ制御手段（図1に示したディエンファシス回路14、SMUTE回路15、SNC回路16等）を少なくとも1つ備えるステレオ復調回路を前提とするものであり、図1に示したステレオ復調回路10における制御信号生成回路20の代わりに、新たな制御信号生成回路が採用されている。なお、ここでは、上記のノイズ制御手段におけるノイズ制御の制御量がアナログの制御信号によって決定されるものを対象としており、よって、ノイズ制御手段は図1に示したようなスイッチS、U、Vを備えていないものとする。

【0044】

ここで、上記の独自の制御信号生成回路は、図1に示したようにAD変換器17でAD変換されてラッチ回路18に一旦保持された信号Sig3を、上記所定値分だけデジタル的にオフセットするオフセット回路（不図示）と、このオフセットされた信号をDA変換するDA変換器（不図示）と、このDA変換によって得られた信号をゼロバイアスと比較し、その差分を増幅して上記制御信号として出力する差動増幅回路30（図4）とから構成される。

【0045】

上記オフセット回路としては、図2に示した各オフセット回路21、22、23と同様な構成のものを採用可能であるが、下位ビットを切り捨てる機能は備えていなくともよい。上記DA変換器は、公知のものを採用可能であり、ここではその説明を省略する。

【0046】

上記差動増幅回路30は、図4から明らかなように、比較用の基準電圧としてゼロバイアスを採用する差動増幅回路であり、そのVin端子には上記DA変換器でDA変換して得られたアナログ信号（RSSIに相当する信号であって、既にオフセットされたもの）が入力され、そのアナログ信号をb点の基準電圧（＝0）と比較して、その差分を増幅して出力するものである。すなわち、b点は接地されてゼロバイアスとなっているので、予めオフセットを与えられているVi

n端子への入力信号と、b点のゼロバイアスとの差分が増幅されて、上記ノイズ制御手段への制御信号として出力される。この場合、制御信号はアナログ信号であり、このアナログ信号に応じて上記ノイズ制御手段のノイズ制御量が連続的に切り替えられる。

【0047】

このように、基準電圧として0バイアスを使用する構成とすることで、基準電圧が温度変化やプロセスばらつき等によって変動することがなくなり、よって、上記ノイズ制御手段のノイズ制御を非常に正確に行うことができるようになる。

なお、本発明は、上記の実施の形態における構成に限定されるものではなく、各請求項に記載された範囲内で種々の構成変更が可能である。

【0048】

また、前述したように、本発明の技術思想はステレオ復調回路にのみ適用されるものではなく、入力信号レベルが所定範囲内にある時にそのレベルに応じた所定の制御を行う回路部分を少なくとも1つ備える信号処理回路であれば、同様に適用可能である。

【0049】

【発明の効果】

以上説明したように、本発明の第1の態様によれば、ノイズ制御等の制御動作の著しい安定化を図ることができると共に、ノイズ制御等の所定制御のための制御信号を出力する制御信号出力手段を、一段と簡素な回路構成で実現することができる。

【0050】

また、本発明の第2の態様によれば、温度変化やプロセスばらつき等の影響を受けることなく、ノイズ制御等の所定制御を非常に精度良く行うことができる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態に係るステレオ復調回路10の回路図である。

【図2】

図1に示した制御信号生成回路20の回路図である。

【図 3】

図 1 のディエンファシス回路 14 のスイッチ部分の具体的な回路構成の一例を示す図である。

【図 4】

本発明の他の実施の形態に係るステレオ復調回路に採用された作動増幅回路 30 の回路図である。

【図 5】

HCC、SMUTE、SNCの各処理を行うRSSIの範囲を示す図である。

【図 6】

非ゼロ・バイアスを採用した従来の回路の一例を示す回路図である。

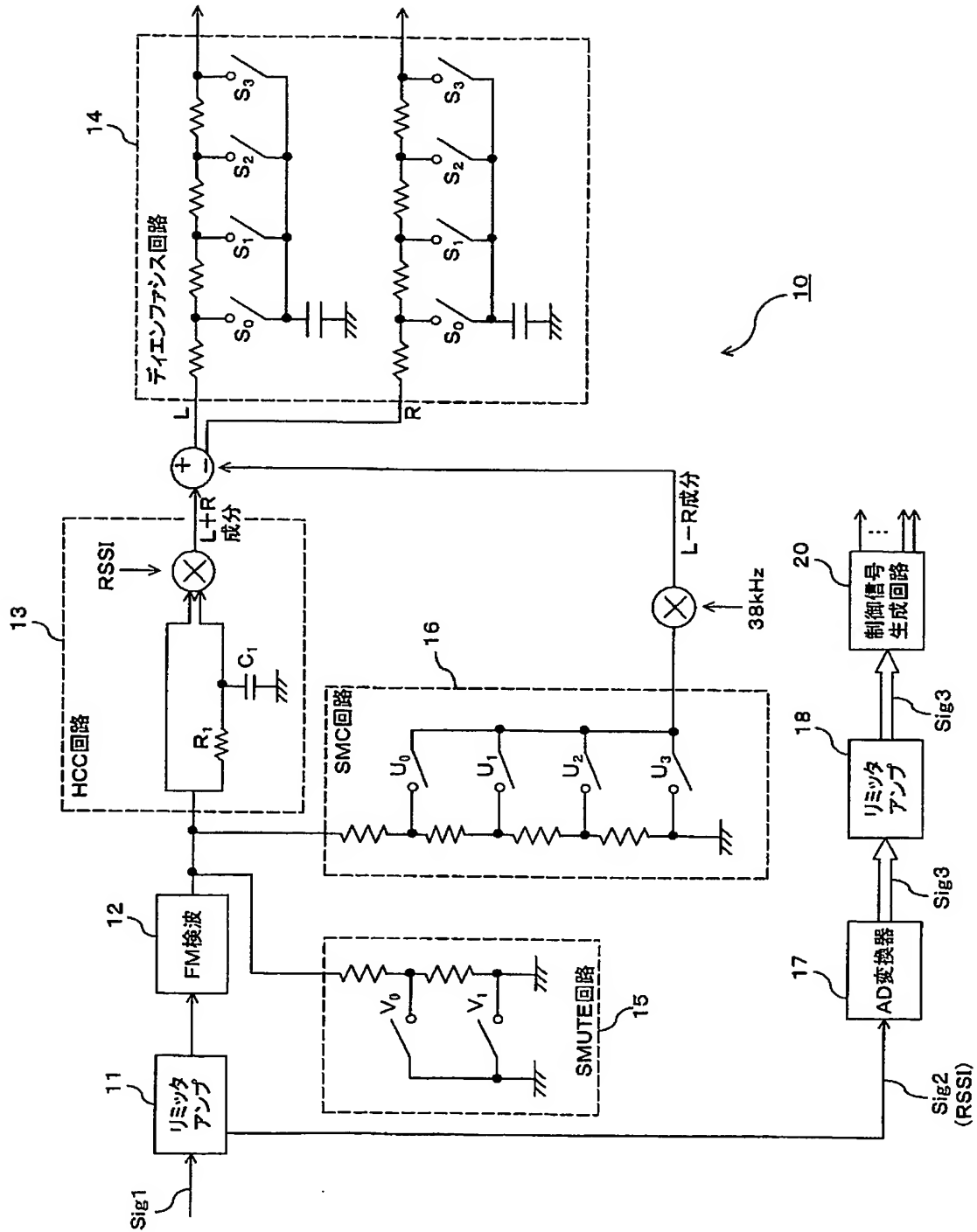
【符号の説明】

- 10 ステレオ復調回路
- 11 リミッタアンプ
- 12 FM検波回路
- 13 HCC回路
- 14 ディエンファシス回路
- 15 SMUTE回路
- 16 SNC回路
- 17 AD変換器
- 18 ラッチ回路
- 20 制御信号生成回路
- 21 SMUTE用のオフセット回路
- 22 HCC用のオフセット回路
- 23 SNC用のオフセット回路
- 24 SMUTE用のセレクタ
- 25 HCC用のセレクタ
- 26 SNC用のセレクタ
- 30 差動増幅回路

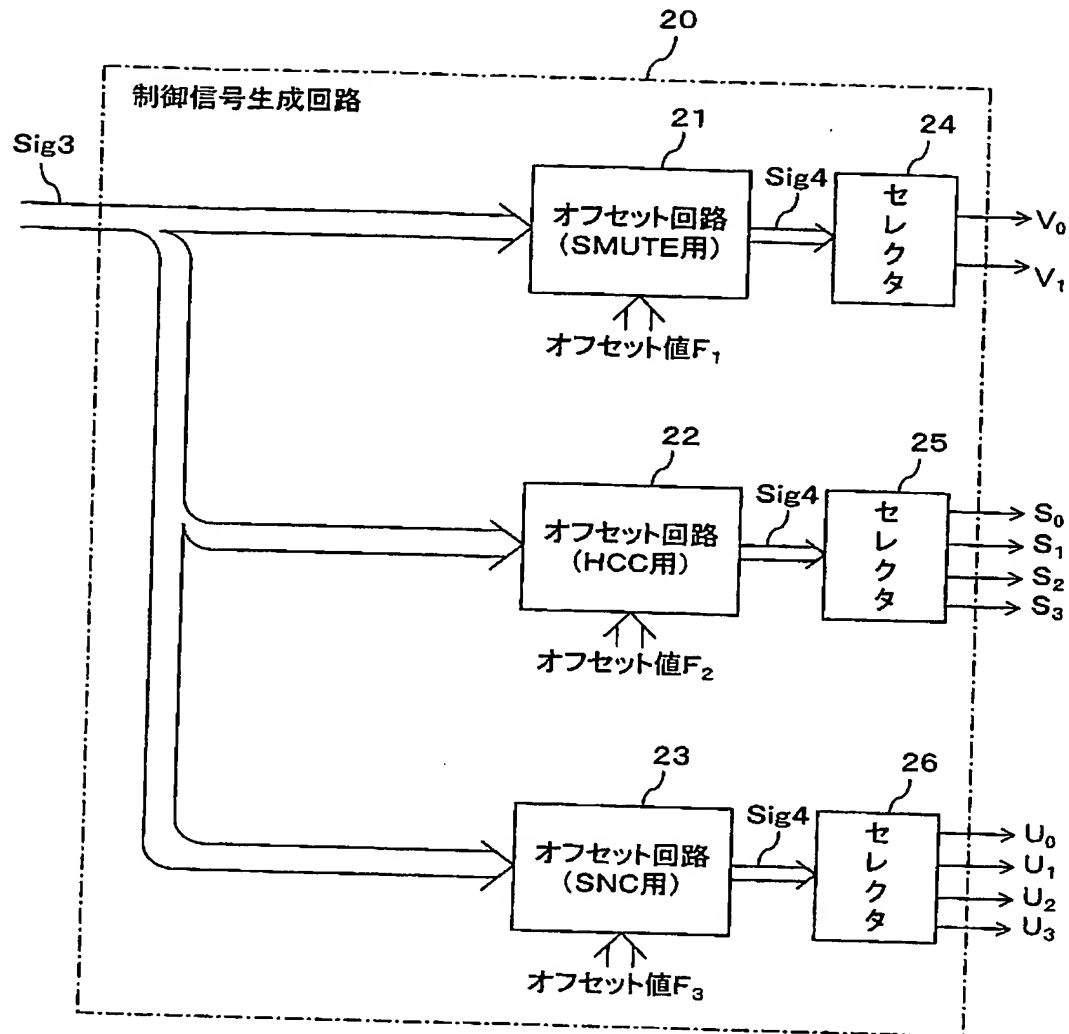
【書類名】

図面

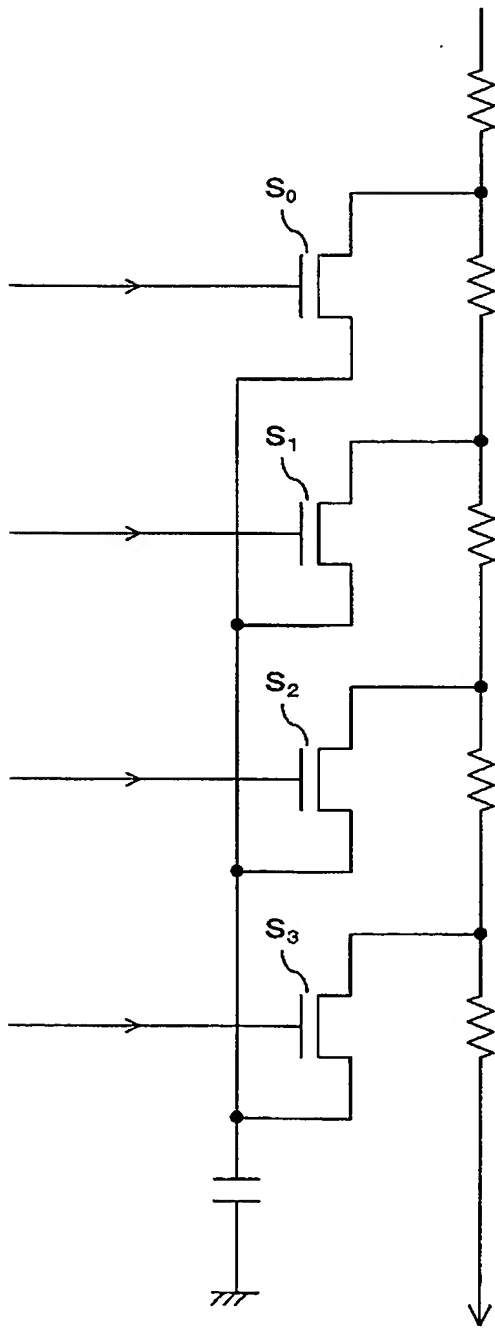
【図 1】



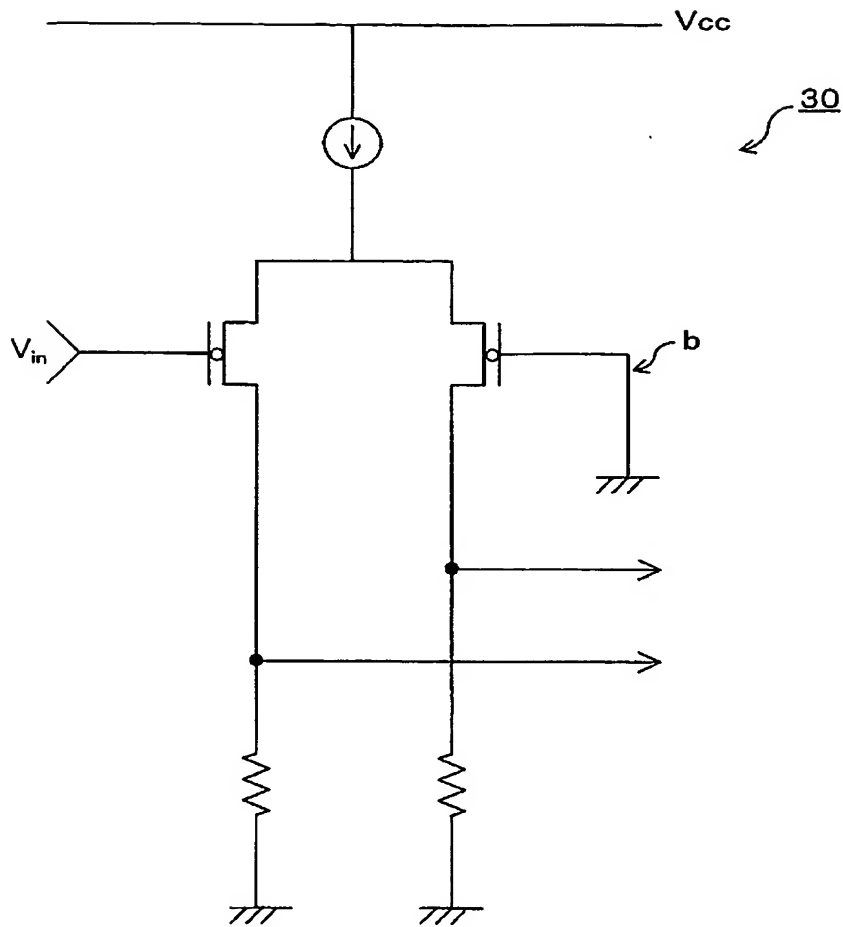
【図 2】



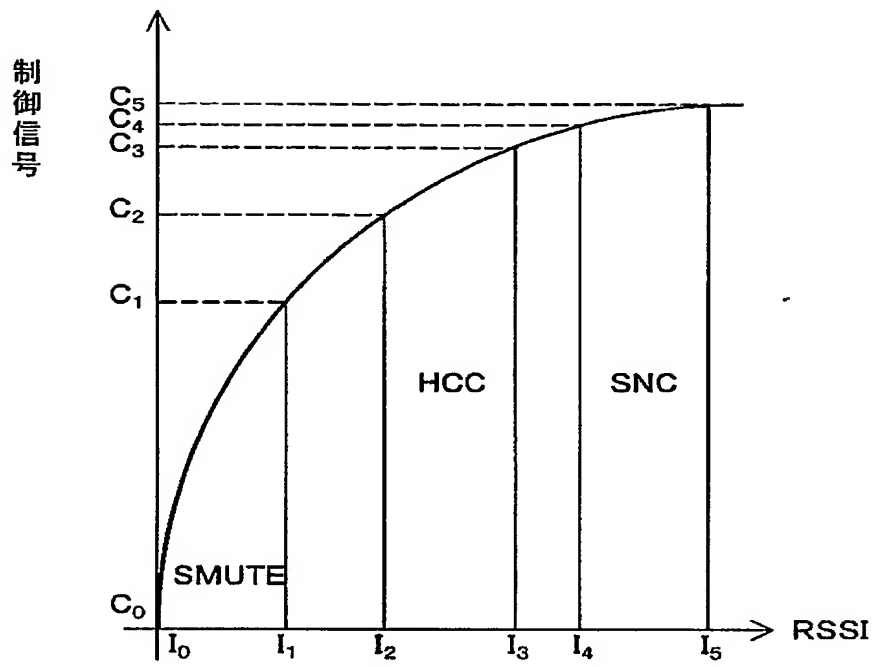
【図 3】



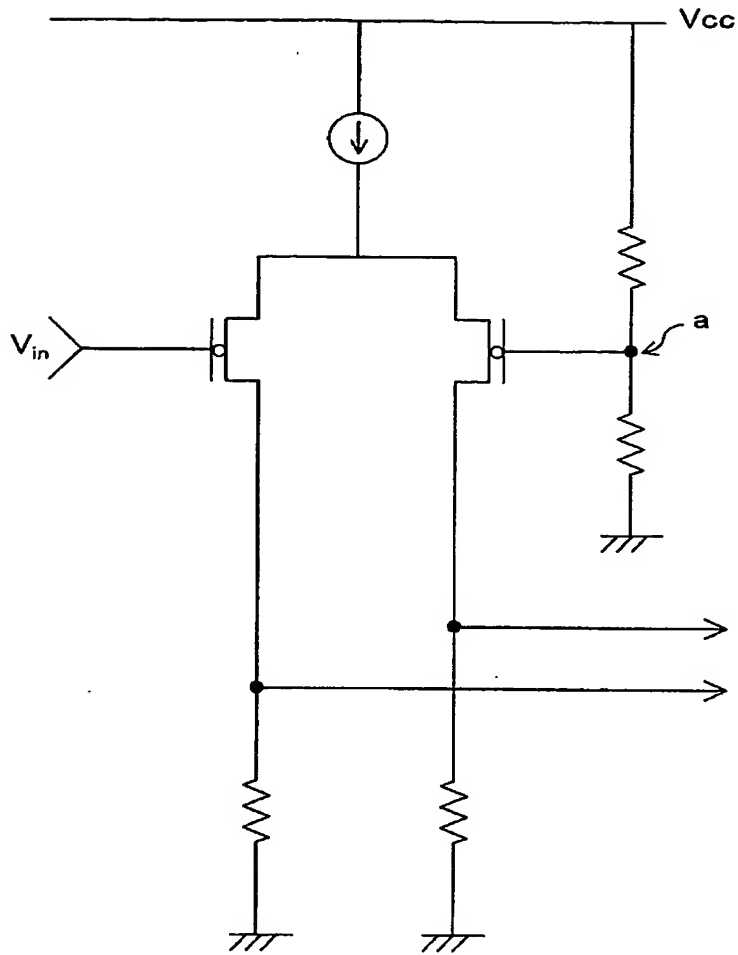
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】RSSI（受信電界強度）が所定範囲内にある時にそのRSSIに応じたノイズ制御を行うノイズ制御手段を少なくとも1つ備えるステレオ復調回路において、上記ノイズ制御手段によるノイズ制御の安定化を図り、かつ、その制御量を決定するための制御信号を出力する制御信号出力回路をより簡素な構成で実現する。

【解決手段】上記ノイズ制御手段として動作する回路14、15、16を備えるステレオ復調回路において、RSSIに相当する信号Sig2をAD変換するAD変換器17と、そのAD変換で得られた信号Sig3のレベルが上記所定範囲内にある時に、このレベルに応じて上記回路14、15、16のノイズ制御のための制御信号を生成する制御信号生成回路20とを備える。この制御信号生成回路20は、上記信号Sig3を所定値分だけデジタル的にオフセットし、かつ、ノイズ制御の精度の粗さに応じたビット数だけ下位ビットを切り捨てるオフセット回路を備え、このオフセット回路で得られた信号に基づき上記制御信号を出力する。

【選択図】 図1

特願 2 0 0 2 - 2 4 2 1 0 5

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 2 1 8]

1. 変更年月日

2 0 0 1 年 8 月 1 日

[変更理由]

名称変更

住 所

愛知県刈谷市豊田町 2 丁目 1 番地

氏 名

株式会社豊田自動織機

特願 2002-242105

出願人履歴情報

識別番号

[591220850]

1. 変更年月日

1996年 5月 9日

[変更理由]

住所変更

住 所

新潟県上越市西城町2丁目5番13号

氏 名

新潟精密株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.